

(11)Publication number : 06-349268
(43)Date of publication of application : 22.12.1994

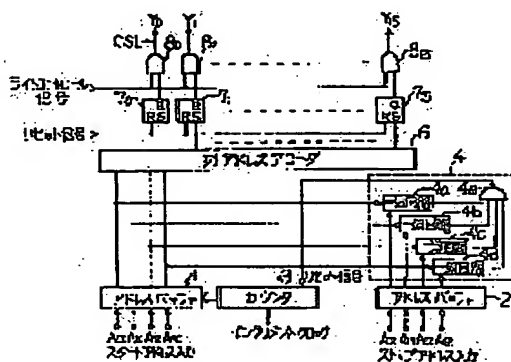
G11C 11/401
G11C 11/41

(71)Applicant : TOSHIBA CORP

(72)Inventor : OTSUKA NOBORU

(57)Abstract:

CONSTITUTION: When a start address SA and a stop address STA are held, respectively, in address buffers AB1 and AB2, an increment clock is fed to a counter C3. The count of the counter C3 is added to the address held in the AB1 until the address matches the STA held in the AB2. Each of continuous address values is delivered from the AB1 to a column address coder AD6. The AD6 generates a column selection signal corresponding to each address value to set a flip-flop FF. Consequently, an FF for accessing the column selection signal line Y corresponding to STA-SA is set. When writing information is set in an input buffer, a row address is set in a row AD and write control signals are delivered to AND gates 80-815, each output from FF70-715 accesses the line Y for SA-STA thus shortening the writing time.



[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-349268

(43) 公開日 平成6年(1994)12月22日

(51) Int. Cl.⁵

G 1 1 C 11/401
11/41

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/ 34

3 6 2 C

3 0 1 D

審査請求 未請求 請求項の数4 O L (全 9 頁)

(21) 出願番号

特願平5-138574

(22) 出願日

平成5年(1993)6月10日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 大塚 昇

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(74) 代理人 弁理士 佐藤 一雄 (外3名)

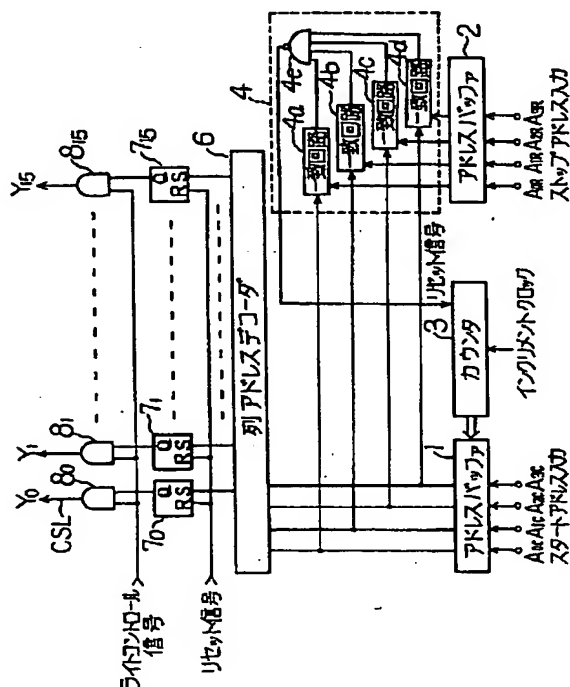
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 一回の書込動作で、1つの行アドレスに属するメモリセルのうち、連続する複数のメモリセルを同時にかつ任意の範囲で書込むことを可能にした半導体装置を提供する。

【構成】 第1及び第2発明の半導体記憶装置では、書込開始位置と書込終了位置を表す2つの列アドレスが入力される。これ等2つのアドレス間に存在する列アドレスの全てを内部機構によりアドレスして書込むことにより、同一行アドレスにおいて列方向に連続するメモリセルを短時間で書込むことが可能となる。第3発明の半導体記憶装置では、列デコーダが予め設定されている複数の列アドレスの分割パターンの中のいずれかの指定と、指定される列アドレスに対応して該列アドレスを含む分割パターンの分割単位領域に属する列アドレスを全てデコードする。

【効果】 画像の塗り潰しのような、同じデータを列方向に連続して書込む処理を繰り返して行う場合には、書込時間の短時間化が図られる。



【特許請求の範囲】

【請求項1】与えられる列方向の書込開始位置を表す書込開始アドレスを保持する第1の列アドレス保持手段と、

与えられる列方向の書込停止位置を表す書込停止アドレスを保持する第2の列アドレス保持手段と、

前記第1の列アドレス保持手段が保持する書込開始アドレスの値を増加または減少方向に歩進させる保持アドレス変更手段と、

前記第1及び第2の列アドレス保持手段が保持するアドレス値の一致を検出し、前記保持アドレス変更手段の歩進を停止させる一致検出手段と、

前記第1の列アドレス保持手段が保持するアドレスの各々を逐次デコードする列デコーダと、

与えられる行アドレスをデコードする行デコーダと、

前記行及び列デコーダによって選択される位置に入力データを記憶するメモリマトリクスと、

を備える半導体記憶装置。

【請求項2】与えられる列方向の書込開始位置を表す書込開始アドレスを保持する第1の列アドレス保持手段と、

与えられる、前記書込開始アドレスからのアドレス変位を保持する第2の列アドレス保持手段と、

前記第1の列アドレス保持手段が保持する書込開始アドレスの値を増加または減少方向に歩進させる保持アドレス変更手段と、

前記保持アドレス変更手段が歩進した保持アドレスの変化分と前記第2の列アドレス保持手段が保持するアドレス変位との一致を検出し、前記保持アドレス変更手段の歩進を停止させる一致検出手段と、

前記第1の列アドレス保持手段が保持するアドレスの各々を逐次デコードする列デコーダと、

与えられる行アドレスをデコードする行デコーダと、

前記行及び列デコーダによって選択される位置に入力データを記憶するメモリマトリクスと、

を備える半導体記憶装置。

【請求項3】与えられる列アドレスを保持する列アドレス保持手段と、

行アドレスを共通にする連続な列アドレスを複数の分割する分割パターンの中のいずれかのタイプを指定する分割情報を保持する分割情報保持手段と、

前記分割情報に基づいて連続な列アドレスを複数のグループに分割し、保持されている前記列アドレスを含むグループに属する全ての列アドレスをデコードする列デコーダと、

与えられる行アドレスをデコードする行デコーダと、

前記行及び列デコーダによって選択される位置に入力データを記憶するメモリマトリクスと、

を備える半導体記憶装置。

【請求項4】前記列デコーダの各出力に夫々接続される

複数のフリップフロップと、

一方の入力端に前記フリップフロップの出力端が接続され、他方の入力端にライトコントロール信号が供給される複数のアンドゲートと、を更に備えることを特徴とする請求項1または2記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体記憶装置に関し、特に、半導体記憶装置への書込動作を高速化した半導体記憶装置に関する。

【0002】

【従来の技術】半導体記憶装置では、情報の記憶場所を指示する入力アドレスと情報を保持するメモリの位置とは一対一に対応しており、一つの入力アドレスが記憶装置のアドレスデコーダに供給されると、一つのメモリセルだけが選択される。このため、一回の書込動作では、1メモリセルへの情報の書込に限られる。そこで、高速消去や高速の塗漬が必要な画像メモリにおいては、複数のセルに同時に情報を書込ませる、いわゆるフラッシュライト機能やブロックライト機能が付加されている。

【0003】図1は、半導体記憶装置であるDRAMに設けられたフラッシュライト回路を概略的に示しており、DRAM回路に、フラッシュライト用データ線g、フラッシュライト用コントロール線h、インバータIN及びトランジスタFQが追加されている。フラッシュライト用データ線g及びフラッシュライト用コントロール線hはメモリマトリクスの行方向に配置され、フラッシュライト用データ線g及びDRAM回路のビット線/BL間には、ビット線毎にインバータIN及びトランジスタFQが直列に接続される。トランジスタFQの各々のゲートはコントロール線hに接続されている。メモリマトリクスの行方向に配列された複数のワード線WLには図示しない行アドレスデコーダが接続される。メモリマトリクスの列方向に配列された複数のビット線BL及び/BLは、対のトランジスタSQを介して夫々データ線D及びQに接続される。データ線D及びQは、データを一時記憶する入力バッファ及び出力バッファ等からなる図示しない入出カインタフェースに接続される。なお、いわゆるセンスアンプは図示していない。トランジスタ対SQのゲートは列アドレスデコーダの出力である列選択線Yに接続される。

【0004】かかる構成において、フラッシュライト用コントロール線hを介して外部からフラッシュライト信号がトランジスタFQ各々のゲートに供給されると、行方向に配列された複数のトランジスタFQが導通する。これにより、外部からデータ線gを介して送られる書込データが一行分の複数のビット線/BLに送られる。行アドレスデコーダによってワード線WL_iがアクセスされると、ワード線WL_iに接続される一行分のメモリセル

ルに書込データが保持される。従って、図9に示すように、メモリマトリクスのある行のアドレスが選択されると、その行のアドレス上の全てのメモリセルが通常の列デコーダの選択動作を介さずに同時に書込まれる。

【0005】ブロックライト機能は、1回の書込サイクルで1つの行アドレス上の連続した4列単位で同時に書込む機能である。

【0006】

【発明が解決しようとする課題】上述したように、フラッシュライト機能は1回の書込動作で行単位での同時書込動作であるため、列方向における任意の部分だけを書替えることはできない。一方、通常の書込では一回の書込で1メモリセル、ブロックライト機能では一回の書込で連続した4カラム単位での同時書込みに限られ、書替領域が多い場合は書込回数を要し、高速性という点で制約がある。

【0007】よって、本発明は、一回の書込動作で、1つの行アドレスに属するメモリセルのうち、連続する複数のメモリセルを同時にかつ任意の範囲で書込むことを可能にした半導体装置を提供することを目的とする。

【0008】

【課題を解決するための手段】上記目的を達成するため本発明の半導体装置は、与えられる列方向の書込開始位置を表す書込開始アドレスを保持する第1の列アドレス保持手段と、与えられる列方向の書込停止位置を表す書込停止アドレスを保持する第2の列アドレス保持手段と、上記第1の列アドレス保持手段が保持する書込開始アドレスの値を増加または減少方向に歩進させる保持アドレス変更手段と、上記第1及び第2の列アドレス保持手段が保持するアドレス値の一致を検出し、上記保持アドレス変更手段の歩進を停止させる一致検出手段と、上記第1の列アドレス保持手段が保持するアドレスの各々を逐次デコードする列デコーダと、与えられる行アドレスをデコードする行デコーダと、上記行及び列デコーダによって選択される位置に入力データを記憶するメモリマトリクスと、を備える。

【0009】第2発明の半導体記憶装置は、与えられる列方向の書込開始位置を表す書込開始アドレスを保持する第1の列アドレス保持手段と、与えられる、上記書込開始アドレスからのアドレス変位を保持する第2の列アドレス保持手段と、上記第1の列アドレス保持手段が保持する書込開始アドレスの値を増加または減少方向に歩進させる保持アドレス変更手段と、上記保持アドレス変更手段が歩進した保持アドレスの変化分と上記第2の列アドレス保持手段が保持するアドレス変位との一致を検出し、上記保持アドレス変更手段の歩進を停止させる一致検出手段と、上記第1の列アドレス保持手段が保持するアドレスの各々を逐次デコードする列デコーダと、与えられる行アドレスをデコードする行デコーダと、上記行及び列デコーダによって選択される位置に入力データ

を記憶するメモリマトリクスと、を備える。

【0010】第3発明の半導体記憶装置は、与えられる列アドレスを保持する列アドレス保持手段と、行アドレスを共通にする連続な列アドレスを複数に分割する分割パターンのいずれかのタイプを指定する分割情報を保持する分割情報保持手段と、上記分割情報に基づいて連続な列アドレスを複数のグループに分割し、保持されている上記列アドレスを含むグループに属する全ての列アドレスをデコードする列デコーダと、与えられる行アドレスをデコードする行デコーダと、上記行及び列デコーダによって選択される位置に入力データを記憶するメモリマトリクスと、を備える。

【0011】

【作用】第1及び第2発明の半導体記憶装置では、書込開始位置と書込終了位置を表す2つの列アドレスが入力される。これ等2つのアドレス間に存在する列アドレスの全てを内部機構によりアドレスして書込むことにより、同一行アドレスにおいて列方向に連続するメモリセルを短時間で書込むことが可能となる。第3発明の半導体記憶装置では、列デコーダが予め設定されている複数の列アドレスの分割パターンのいずれかの指定と、指定される列アドレスに対応して該列アドレスを含む分割パターンの分割単位領域に属する列アドレスを全てデコードする。その結果、同じデータが列方向に連続するような、例えば画像の塗り潰しのような処理を行う場合には、書込時間の短時間化を図ることが可能となる。

【0012】

【実施例】以下、本発明の実施例について図1を参照して説明する。同図において、第1のアドレスバッファ1には、書込開始位置を示すスタート列アドレスが保持される。第2のアドレスバッファ2には、書込終了位置を示すストップ列アドレスが保持される。これは、例えば、次のようにして行われるが、種々のやり方を選択できる。また、以下に述べる実施例では4ビットのアドレスの場合について説明するが、本発明はアドレスの任意のビット数について適用できるものである。

【0013】まず、アドレスバスに行アドレスを与えて、/RAS (Row Address Strobe) 信号を供給して図示しない行アドレスバッファに行アドレスを取込ませる。スタート列アドレスは、通常のDRAMの書込サイクルにおけると同様に、アドレスバスに列アドレスを与えて、/CAS (Column Address Strobe) 信号を供給してアドレスバッファ1に列アドレスを取込ませる。次の書込サイクルで、アドレスバスにストップ列アドレスを与えて、/RAS (Row Address Strobe) 信号を供給してアドレスバッファ2に取込ませる。また、他の例としては、高速書込モード信号を設け、この高速書込モード信号の存在下において、アドレスバスに与えられた列アドレスをストップアドレスとしてアドレスバッファ2に取込む。

【0014】アドレスバッファ1には、インクリメントクロックの供給にตอบสนองしてカウントアップするカウンタが接続され、カウント値が供給される。アドレスバッファ1は、供給されたスタートアドレスにカウント値を加えたアドレス値を列アドレスデコーダ6及び一致検出回路4に供給する。なお、カウンタ3のカウント値をスタートアドレスから減ずるようにして、スタートアドレスよりも小さい値のアドレスに設定されたストップアドレスに接近するようにすることができる。一致検出回路4は、アドレスバッファ1及び2の対応する出力の一致を検出する一致回路4a~4d、及び一致回路4a~4dの全出力の一致を検出するアンドゲート4eによって構成される。一致検出回路4は、アドレスバッファ1の出力するスタートアドレスから歩進を開始するアドレス値と、アドレスバッファ2の出力するストップアドレス値とが一致すると、一致信号を発生してカウンタ3に与え、カウント値をリセットし、カウントアップを停止させる。

【0015】デコーダ6は、カウンタ3によってアドレス値が歩進するアドレスバッファ1の出力値の各々に対応して列選択信号を順次が発生する。デコーダ6の各出力端には、夫々フリップフロップ70~715が接続される。フリップフロップ70~715のうち、スタートアドレスからストップアドレスに対応するフリップフロップがセットされる。フリップフロップ70~715の出力は、夫々アンドゲート80~815の一方入力を介して図示しないメモリマトリクスの列選択信号線Y0~Y15に接続される。列選択信号線Yは図示しないトランジスタSQのゲート(図8参照)に接続される。列選択信号線Yiがアクセスされると、トランジスタSQiが導通し、対応するビット線BLi及び/BLiがデータ線D及びQに接続される。これにより、入力バッファに保持されているデータがデータ線D及びQ、ビット線BLi及び/BLiを介して、行アドレスデコーダによってアクセスされるワード線WLに接続されているメモリセルに書込可能となる。トランジスタコントロール信号が、アンドゲート80~815の他方入力に供給されると、セットされたフリップフロップの各出力は一斉に列選択信号線Y0~Y15に与えられる。フリップフロップ70~715の各保持出力は、リセット信号によってリセットされる。

【0016】かかる構成において、アドレスバッファ1にスタートアドレスが保持され、アドレスバッファ2にストップアドレスが保持されると、カウンタ3にインクリメントクロックが供給される。アドレスバッファ1の保持アドレスには、カウンタ3のカウント値が加算され、加算されたアドレス値は、アドレスバッファ2に保持されたストップアドレスに一致するまで順次増加する。アドレスバッファ1が出力する連続なアドレス値の各々は列アドレスデコーダ6に供給される。列アドレス

デコーダ6は、各アドレス値に対応する複数の列選択信号出力を発生し、フリップフロップをセットする。これにより、スタートアドレスからストップアドレスまでに対応する列選択信号線Yをアクセスするフリップフロップがセットされる。図示しない入力バッファに書込情報がセットされ、行アドレスデコーダに行アドレスがセットされている状態で、ライトコントロール信号がアンドゲート80~815に供給されると、フリップフロップ70~715の各保持出力は一斉にスタートアドレスからストップアドレスまでに対応する列選択信号線Yをアクセスする。従って、図2に示すように、入力バッファに保持されている情報が行アドレスデコーダがアクセスしている行のアドレスに属する、任意に指定した範囲内の、列方向に連続するメモリセルを同時に書込むことが可能となる。

【0017】図3は、第2の実施例を示している。同図において図1に示された記憶装置と対応する部分には、同一符号を付し、かかる部分の説明は省略する。

【0018】この実施例では、アドレスバッファ1にはスタートアドレスが保持され、アドレスバッファ2には、スタートアドレスからのアドレスの変位、すなわち、同時に書込されるメモリセルのビット数が保持される。スタートアドレス及びアドレスの変位は、第1の実施例と同様にして外部から両アドレスバッファに与えられる。この実施例においても、インクリメントクロックの供給にตอบสนองして歩進するカウンタ3が設けられている。カウンタ3の出力はアドレスバッファ1及び一致検出回路4に供給される。アドレスバッファ1は、保持しているスタートアドレスにカウンタ3の漸増する積算出力を加算して列アドレスデコーダ6に出力する。一致検出回路4は、アドレスバッファ2に保持されている変位とカウンタ3の出力とを比較し、両者が一致するとリセット信号を発生してカウンタ3をリセットする。他の構成は、図1に示す構成と同様である。

【0019】かかる構成において、アドレスバッファ1及び2に夫々スタートアドレス及びアドレス変位がセットされ、カウンタ3にインクリメントクロックが供給されると、アドレスバッファ1の出力がスタートアドレスから、(スタートアドレス+アドレス変位)まで変化する。このアドレスバッファ1の出力の各々に対応して列アドレスデコーダ6の出力が発生し、対応するフリップフロップ7がセットされる。そして、ライトコントロール信号がアンドゲート80~815に供給されると、フリップフロップ70~715の各保持出力は一斉にスタートアドレスから同時に書込するビット数に対応する列選択信号線Yをアクセスする。従って、図4に示すように、入力バッファに保持されている情報が行アドレスデコーダがアクセスしている行のアドレスに属する、任意に指定した範囲内の、列方向に連続するメモリセルを同時に書込むことが可能となる。

【0020】なお、第1及び第2の実施例に用いられているアドレスバッファ1及びカウンタ3の担う役割を、スタートアドレスがセットされ、このアドレスから歩進するプリセットカウンタを用いることによって実現できる。

【0021】図5は、第3の実施例を示している。同図において図1に示された記憶装置と対応する部分には、同一符号を付し、かかる部分の説明は省略する。この実施例では、アドレスバッファ1には列アドレスが保持され、アドレスバッファ2には列アドレスの分割情報が保持される。分割情報は、連続な列アドレスを何等分するかという分割パターン情報である。n等分された列アドレスの一つの領域をアドレスバッファ1に保持された列アドレスによって指定することによって、任意に指定した範囲内の、列方向に連続するメモリセルを同時に書込む。

【0022】書込サイクルにおいてアドレスバスに行アドレスを与え、/RAS信号を供給し、図示しない行アドレスバッファに行アドレスを取込ませる。アドレスバスに列アドレスを与えて、/CAS信号を供給してアドレスバッファ1に列アドレスを取込ませる。例えば、次の書込サイクルで、アドレスバスに分割情報を与えて、/RAS信号を供給するとアドレスバッファ2に取込まれるようになされる。アドレスバッファ1が保持する列アドレスは、マルチデコーダ12に供給される。アドレスバッファ2が保持する分割情報はレジスタ11に転送され、記憶される。次の行について分割情報が共通する

- (A) 2分割パターン → $A0RA1RA2RA3R = 1110$
- (B) 4分割パターン → $A0RA1RA2RA3R = 1100$
- (C) 8分割パターン → $A0RA1RA2RA3R = 1000$
- (D) 16分割パターン → $A0RA1RA2RA3R = 0000$

次に、アドレスバッファ1に保持される列アドレス $A0cA1cA2cA3c$ が属する分割された列アドレスの領域を求めると、分割情報 $A0RA1RA2RA3R$ のデータをマスク

場合にはレジスタ11に記憶された分割情報を用いることにより、分割情報の書込サイクルを不要とし、書込時間の短縮が図られる。レジスタ11に保持される分割情報はマルチデコーダ12に与えられる。マルチデコーダ12は、通常の列デコーダとしての機能の他に、後述するように列アドレス及び分割情報に基づいて、列アドレスが属する分割領域の連続な複数のメモリセルに夫々対応する複数の列選択信号線 Yi を同時に選択する信号群を出力する。各信号は夫々アンドゲート80～815の一方入力に供給される。アンドゲート80～815の各他方入力にライトコントロール信号が共通に供給されると、マルチデコーダ12の出力は、列選択信号線 $Y0 \sim Y15$ のうち該当する信号線をアクセスし、図示しない入力バッファに保持されている入力データがデータ線、ビット線（図示せず）を介して選択されている行アドレスの連続するメモリセルに記憶される。

【0023】マルチデコーダ12の動作について図6を参照して説明する。まず、レジスタ11に保持される4ビットの分割情報 $A0RA1RA2RA3R$ によって、列アドレスを(A) 1/2分割、(B) 1/4分割、(C) 1/8分割、(D) 1/16分割、の4つの分割パターンを指定するものとする。4ビットの列アドレスの場合、1/16分割は1ビットのみの書込になるから、通常の列アドレスによる1ビットのメモリセルの書込動作で置換えることもできる。各分割パターンを指定する分割情報 $A0RA1RA2RA3R$ は、例えば次のように定める。

【0024】

として用いて以下のように行う。マスクはゲート回路によって構成することができる。例えば、

- (a) 列アドレス $A0cA1cA2cA3c = (\text{LSB}) 1111 (\text{MSB})$
2分割情報 $A0RA1RA2RA3R = (\text{LSB}) 1110 (\text{MSB})$
所属領域番号 1
- (b) 列アドレス $A0cA1cA2cA3c = (\text{LSB}) 1110 (\text{MSB})$
2分割情報 $A0RA1RA2RA3R = (\text{LSB}) 1110 (\text{MSB})$
所属領域番号 0
- (c) 列アドレス $A0cA1cA2cA3c = (\text{LSB}) 1111 (\text{MSB})$
4分割情報 $A0RA1RA2RA3R = (\text{LSB}) 1100 (\text{MSB})$
所属領域番号 11
- (d) 列アドレス $A0cA1cA2cA3c = (\text{LSB}) 1110 (\text{MSB})$
4分割情報 $A0RA1RA2RA3R = (\text{LSB}) 1100 (\text{MSB})$
所属領域番号 10
- (e) 列アドレス $A0cA1cA2cA3c = (\text{LSB}) 1111 (\text{MSB})$
4分割情報 $A0RA1RA2RA3R = (\text{LSB}) 1100 (\text{MSB})$
所属領域番号 11
- (f) 列アドレス $A0cA1cA2cA3c = (\text{LSB}) 1110 (\text{MSB})$

- 4分割情報 $A_0R A_1R A_2R A_3R = (\text{LSB}) 1100 (\text{MSB})$
 所属領域番号 10
- (g) 列アドレス $A_{0c} A_{1c} A_{2c} A_{3c} = (\text{LSB}) 1111 (\text{MSB})$
 8分割情報 $A_0R A_1R A_2R A_3R = (\text{LSB}) 1000 (\text{MSB})$
 所属領域番号 111
- (h) 列アドレス $A_{0c} A_{1c} A_{2c} A_{3c} = (\text{LSB}) 1010 (\text{MSB})$
 8分割情報 $A_0R A_1R A_2R A_3R = (\text{LSB}) 1000 (\text{MSB})$
 所属領域番号 010
- (i) 列アドレス $A_{0c} A_{1c} A_{2c} A_{3c} = (\text{LSB}) 1010 (\text{MSB})$
 16分割情報 $A_0R A_1R A_2R A_3R = (\text{LSB}) 0000 (\text{MSB})$
 所属領域番号 1010

マルチデコーダ12は、更に、分割情報及び所属領域番号に基づいて分割された領域に該当する列アドレスの列信号選択出力を発生する。すなわち、 n 番目の列信号選択出力は、 $Y_n = f_n$ (n 分割情報, 所属領域番号) により、求められる。ここで、 f_n は Y_n についての論理関数である。従って、マルチデコーダ12は、列アドレス及び n 分割情報が与えられると、列アドレスが所属する領域の全ての列信号選択出力を発生する。これ等の信号はアンドゲート8によって、ライトコントロール信号の供給にตอบสนองして同時にメモリマトリクスに与えられる。

【0025】このようにすると、図7に示すように、列アドレスの指定でこの列アドレスが属する、ある指定されている行の分割領域内を同じ入力データで同時に書込むことが可能である。例えば、DRAMに適用した本発明の半導体記憶装置と従来の半導体記憶装置とを比較すると、以下ようになる。

【0026】上述した実施例で具体的な書込時間を従来方法と比較した例を示せば、例えば、 512×512 セルアレイで上側半分を書替える場合、行アドレス及び列アドレスの取込みに 180ns 、列アドレスの取込みに 55ns 、かかるとすると、

従来装置の場合

1) ファーストページモードの場合、最初の1ビットの書込のために行アドレス及び列アドレスを取込んだ後に、列アドレスの取込みを繰り返すので、

$$(180\text{ns} + 55\text{ns} \times 255\text{列}) \times 512\text{行} = 7.27\text{ms}$$

2) ファーストページブロックライトモードの場合、最初の1ビットの書込のために行アドレス及び列アドレスを取込んだ後に、1つの列アドレスの取込みにより連続した4ビットの書込みを繰り返すので、

$$(180\text{ns} + 55\text{ns} \times 63\text{列}) \times 512\text{行} = 1.87\text{ms}$$

本発明装置の場合

1) 第1及び第2の実施例の場合、スタートアドレスのセットのため、行アドレス及び列アドレスを取込み、ストップアドレスのセットのために次の行アドレス部分を用いるため、

$$180\text{ns} + (180\text{ns} \times 512\text{行}) = 92.3\mu\text{s}$$

2) 第3の実施例の場合、分割情報のセットのために、行アドレス部分を取込み、書込を行う位置を指定するために行アドレス及び列アドレスを取込むので、

$$180\text{ns} + (180\text{ns} \times 512\text{行}) = 92.3\mu\text{s}$$

従って、画面が広い範囲で塗り潰されるような絵情報をメモリに書込む場合、別言すれば、同一行において書込の対象となる列アドレスが長く連続し、断続の少ない程、書込時間の短縮が顕著になる。なお、上述した各実施例では便宜的に4ビットの列アドレスの例で説明しているが、勿論、これに限定されるものではない。例えば、画像メモリの必要なメモリセル数に対応して構成されるものである。また、半導体記憶装置の書込モードとして、上述した書込機能専用の、或いは通常書込機能に上述した書込機能を併用した半導体記憶装置として提供されるものである。

【0027】

【発明の効果】以上説明したように本発明の半導体記憶装置においては、1回の書込サイクルで1つの行アドレスに属するメモリセル群のうち連続する複数のメモリセルを任意の範囲でかつ同時に書込むことが可能となり、書込むメモリセルが連続する程、メモリセルへのトータルした書込時間が短縮化される。このため、例えば、画像メモリとして用いると、従来の記憶装置に比べて処理の高速化が可能になる。

【図面の簡単な説明】

【図1】本発明の半導体記憶装置の第1の実施例を示すブロック図である。

【図2】第1の実施例の動作を説明するための説明図である。

【図3】本発明の半導体記憶装置の第2の実施例を示すブロック図である。

【図4】第2の実施例の動作を説明するための説明図である。

【図5】本発明の半導体記憶装置の第3の実施例を示すブロック図である。

【図6】第3の実施例における、列アドレス及び分割情報により、列アドレスの該当する分割領域を判別するためにもちいるマスクの動作を説明するための説明図である。

【図7】第3の実施例の動作を説明するための説明図である。

【図8】従来の半導体記憶装置（DRAM）に設けられたフラッシュライト回路の例を示すブロック図である。

【図9】従来の半導体記憶装置の動作を説明するための説明図である。

【符号の説明】

1, 2 アドレスバッファ

3 カウンタ

4 一致検出回路

6 列アドレスデコーダ

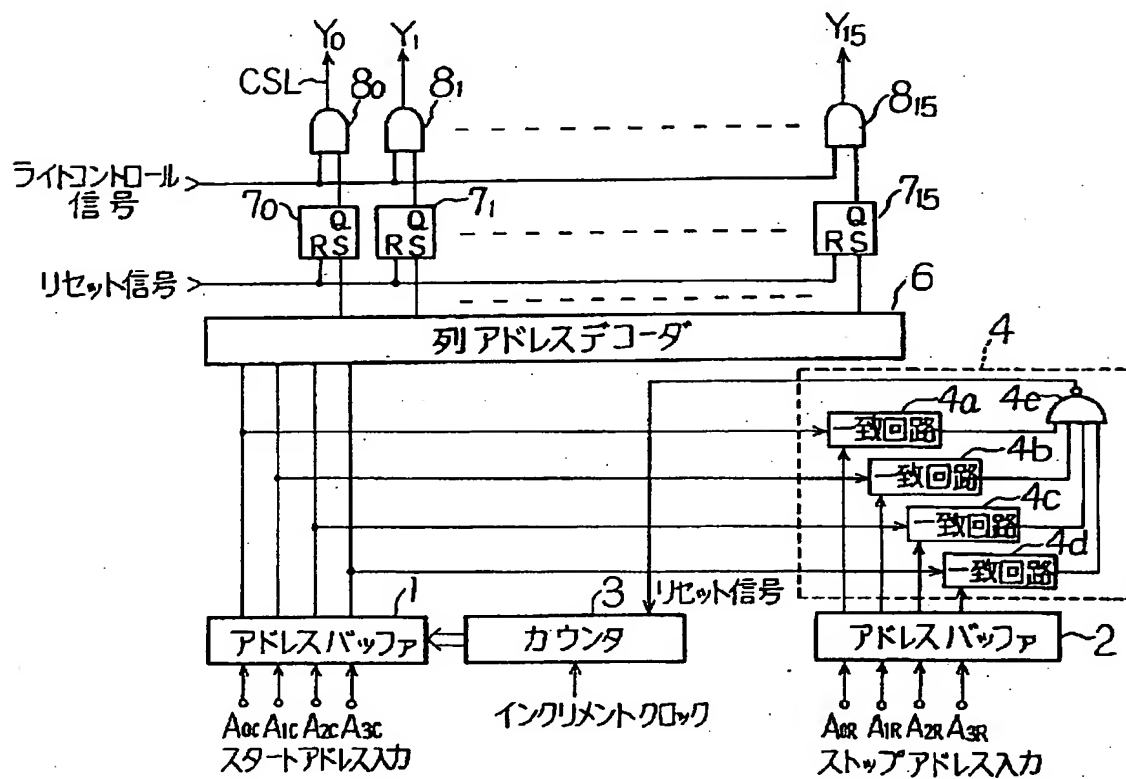
70 ~ 715 フリップフロップ

80 ~ 815 アンドゲート

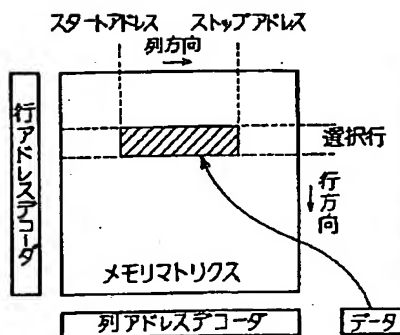
11 レジスタ

12 マルチデコーダ

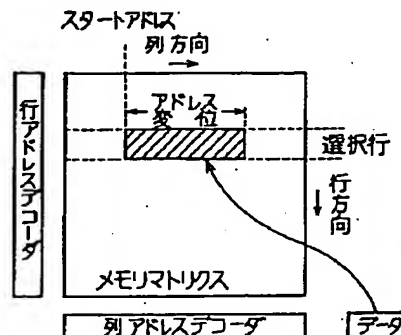
【図1】



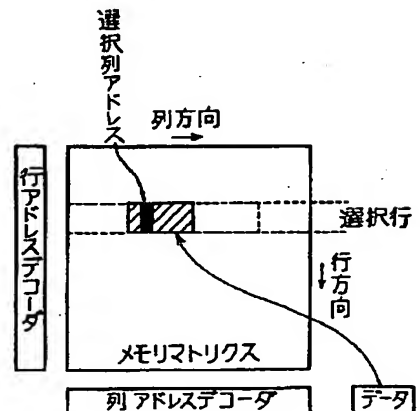
【図2】



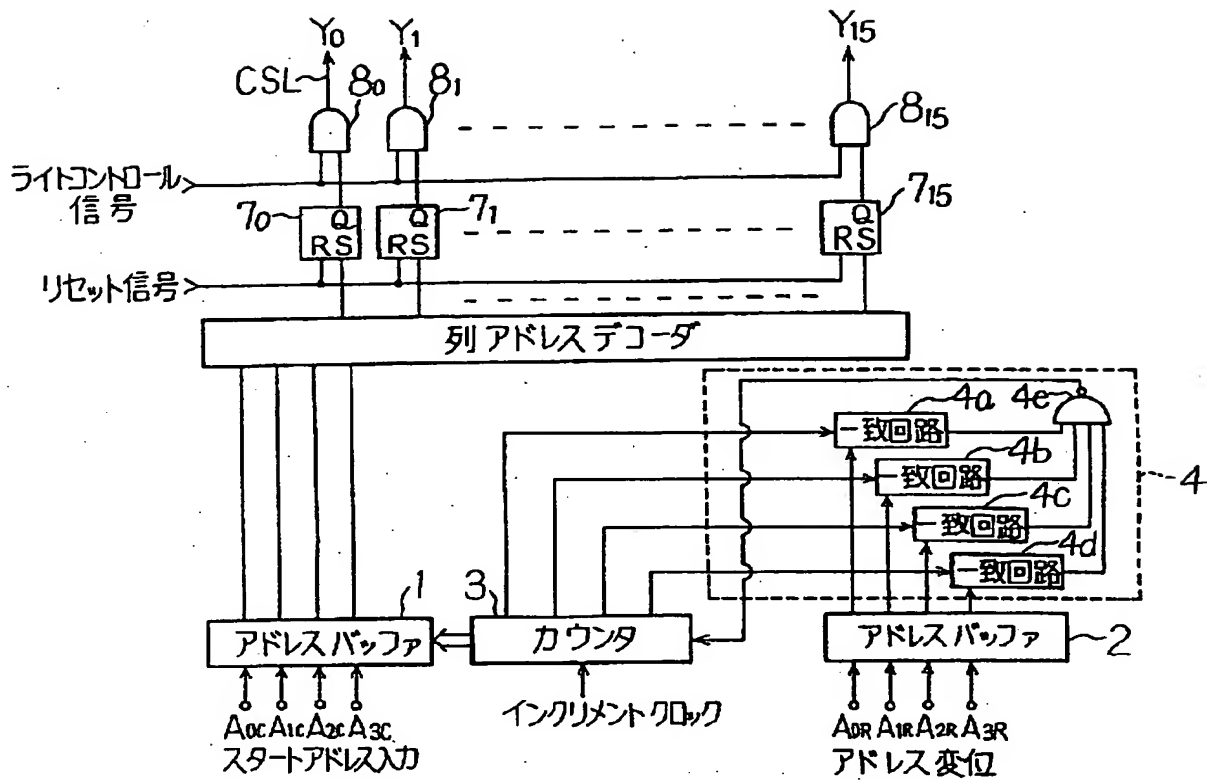
【図4】



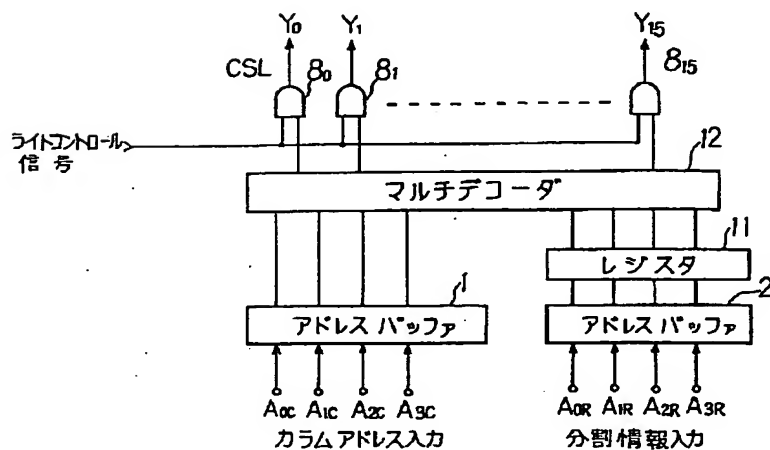
【図7】



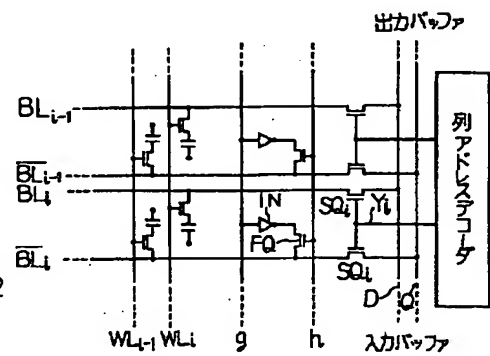
【図3】



【図5】

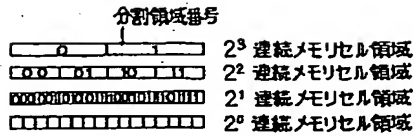


【図8】

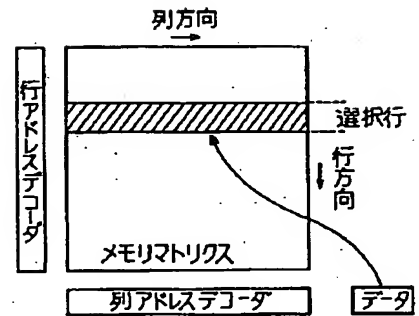


【図6】

分割情報 分割コード	A _{0R}	A _{1R}	A _{2R}	A _{3R}
(A)	1	1	1	X
(B)	1	1	0	X
(C)	1	0	0	X
(D)	0	0	0	X



【図9】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.